

공개특허특1997-0030710

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H01L 23/28(11) 공개번호 특1997-0030710  
(43) 공개일자 1997년06월26일

---

(21) 출원번호 특1995-0041844  
(22) 출원일자 1995년11월17일

---

(71) 출원인 아남산업 주식회사 황인길  
서울특별시 성동구 성수 2가 280-2 (우:133-120)  
(72) 발명자 신원선  
서울특별시 광진구 군자동 125-103  
(74) 대리인 서만규  
심사청구 : 있음

---

## (54) 반도체 패키지 구조

---

요약

본 발명은 반도체 패키지 구조에 관한 것으로, 반도체 패키지의 리드와 히트싱크 사이에 그라운드 본딩 및 파워 본딩용 플레인을 적어도 하나 이상 접착함으로서 그라운드 봉딩 및 파워 본딩을 간단히 하고, 반도체 칩이 부착되는 히트싱크 상면이 블랙 산화층으로 형성되어 있어 반도체 칩과의 접착력을 향상시켜 계면박리를 방지할 수 있도록 된 반도체 패키지 구조이다.

## 대표도

도2

## 명세서

[발명의 명칭]

반도체 패키지 구조

[도면의 간단한 설명]

제 2도는 본 발명에 따른 반도체 패키지의 구조를 나타낸 단면도.

"본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음"

## (57) 청구의 범위

## 청구항1

히트싱크의 상면 중심부에는 반도체 칩을 에폭시에 의해 부착하고, 상기 히트싱크의 상면 외측으로는 리드를 부착하며, 상기 리드와 반도체 칩의 칩 패드와는 와이어로 본딩하고, 그 외부로는 산화 및 부식을 방지하기 위하여 캐파운드로 물당된 반도체 패키지 구조에 있어서, 상기 히트싱크와 리드 사이에는 그라운드 본딩(Ground Bonding) 및 파워 본딩(Power Bonding)용 플레인(Plane)을 적어도 하나 이상 접착하여서 된 것을 특징으로 하는 반도체 패키지 구조.

## 청구항2

제 1항에 있어서, 상기 플레인(Plane)은 구리(Cu)인 것을 특징으로 하는 반도체 패키지 구조.

## 청구항3

제 2항에 있어서, 상기 구리(Cu)의 저면에는 폴리이미드(Polyimide)층이 형성되어 접착된 것을 특징으로 하는 반도체 패키지 구조.

#### 청구항4

제 1항에 있어서, 상기 플레인(Plane)의 상·하면에는 블랙 산화(Black Oxidation) 처리한 것을 특징으로 하는 반도체 패키지 구조.

#### 청구항5

제 1항에 있어서, 상기 플레인(Plane)의 상면 본딩영역에는 은(Ag) 또는 니켈(Ni)/팔라디움(Pd)층이 도금된 것을 특징으로 하는 반도체 패키지 구조.

#### 청구항6

제 1항에 있어서, 상기 히트싱크의 저면에는 니켈(Ni) 또는 니켈(Ni)/파라디뮴(Pd)층이 도금되고, 반도체 칩이 부착되는 상면에는 블랙 산화(Black Oxidation)층으로 된 것을 특징으로 하는 반도체 패키지 구조.

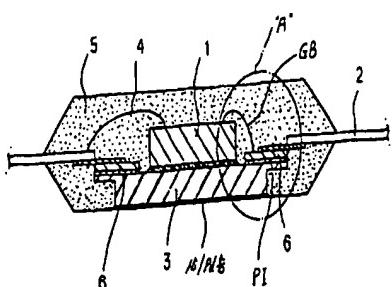
#### 청구항7

제 1항에 있어서, 사이 리드와 플레인은 레이저 웰딩(Laser Welding)에 의해 융착된 것을 특징으로 하는 반도체 패키지 구조.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

#### 도면

##### 도면2



KR1995-41844

TITLE OF THE INVENTION: SEMICONDUCTOR PACKAGE STRUCTURE

ABSTRACT:

5        A semiconductor package structure has at least one plane  
for grounding bonding and power bonding glued between a lead  
and a heat sink of a semiconductor package to simplify ground  
bonding and power bonding and a black oxidation layer formed on  
the upper surface of the heat sink, to which a semiconductor  
10 chip is attached, to improve the adhesion force to the  
semiconductor chip and prevent interface peeling-off.